Schaltung nach Verilog

Vereinfachung durch Benennen von wires

Theoretisch könnte jeder einzelne wire benannt werden. Meist reicht es aber einige zu benennen, um die Schaltung einfach umzusetzen. Dabei kann man großzügig sein. Unnötige wires kosten beim Schaltungsdesign nichts.

Im folgenden Beispiel soll Ausgabebit Q in Abhängigkeit von Eingabe D und E definiert werden.

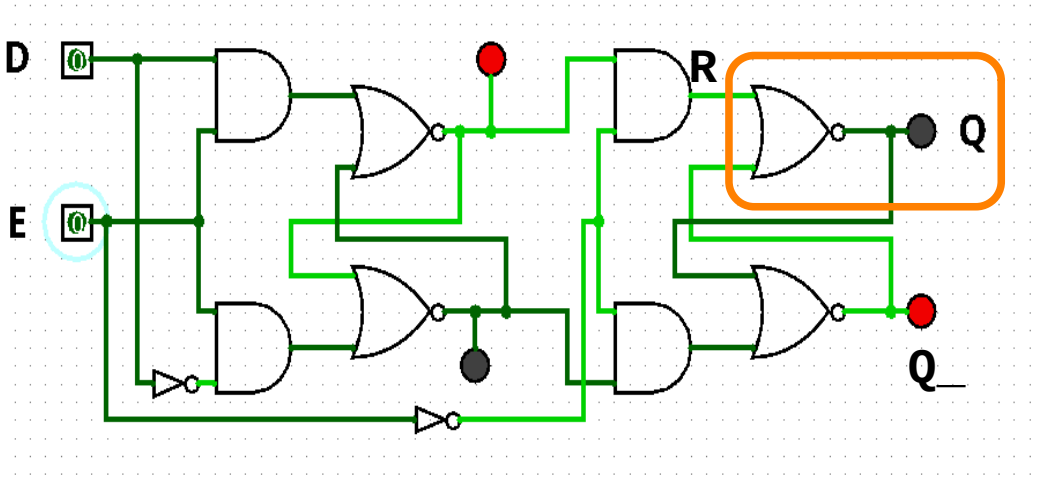
~~assign Q = (?? | ??);~~

```
wire R, Q_;

assign Q = ~(Q_ | R);
```

```
module ms_flip_flop(
   input D, E,
   output Q
   );

   // (…)
endmodule
```



© Thomas Haenselmann, Prof. Dr. rer. nat. habil.

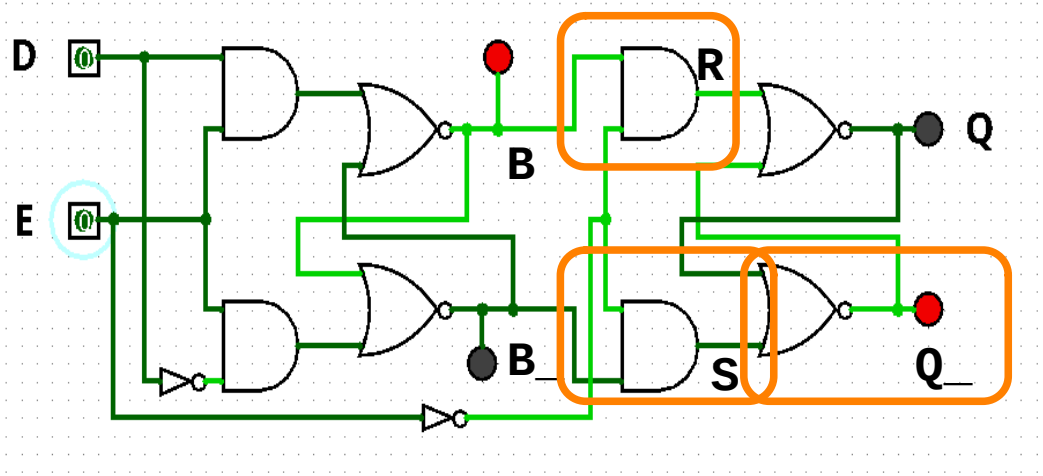
Schaltung nach Verilog

Vereinfachung durch Benennen von wires

```
wire R, Q_;
assign Q = ~(Q_ | R);
assign Q_ = ~(Q | ??);
wire S;
assign Q_ = ~(Q | S);
assign S = ( E & ??);
wire B_;
assign S = (~E & B_);
assign R = (~E & ??);
wire B;
assign R = (~E & B);
```

```
module ms_flip_flop(
   input D, E,
   output Q
   );

   // (…)
endmodule
```



Schaltung nach Verilog

Vereinfachung durch Benennen von wires

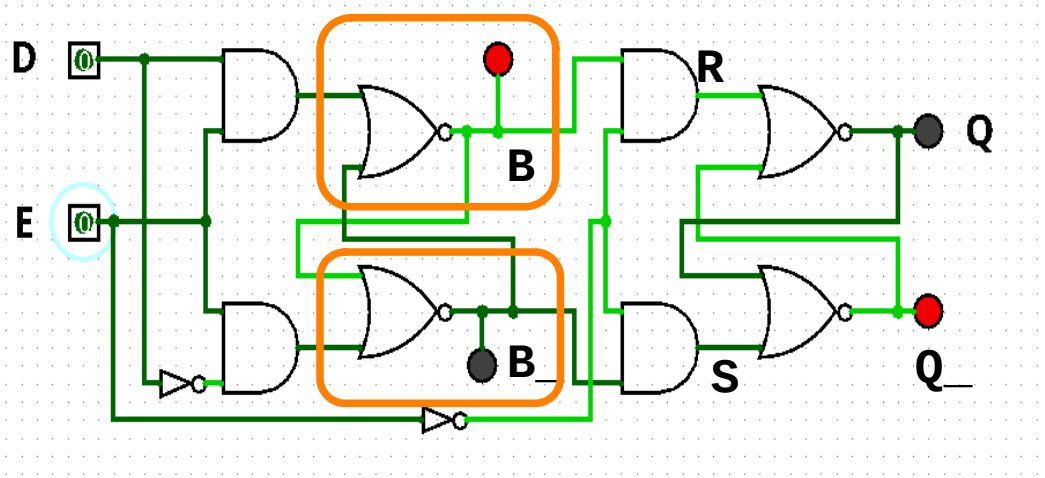
```
wire R, Q_;
assign Q = ~(Q_ | R);
wire S;
assign Q_ = ~(Q | S);
wire B_;
assign S = (~E & B_);
wire B;
assign R = (~E & B);

assign B_ = ~(B | (E & ~D))

assign B = ~((D & E) | B_)
```

```
module ms_flip_flop(
   input D, E,
   output Q
   );

   // (…)
endmodule
```



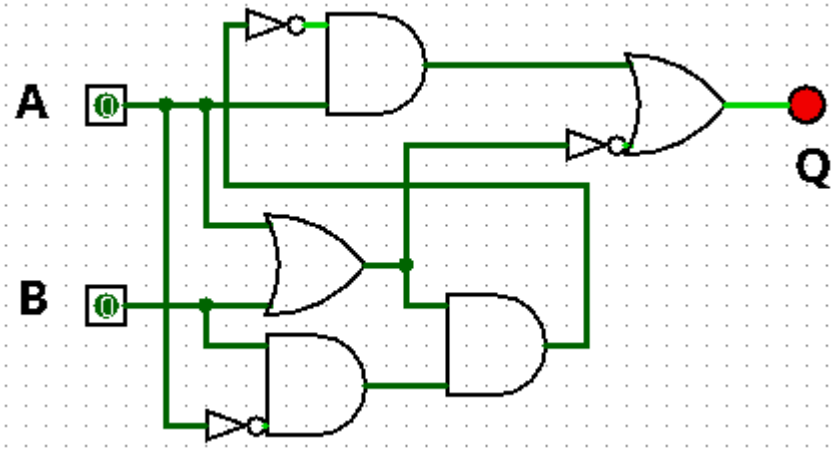
© Thomas Haenselmann, Prof. Dr. rer. nat. habil.

Praktikum
Schaltung nach Verilog

Sie sollen die folgende Schaltung nach Verilog umsetzen.

a) Welche wires erfordern eine Benennung und bei welchen könnte man darauf verzichten?

b) Schreiben Sie die Schaltung in Verilog auf.



Bauen Sie den folgenden Verilog Code als Schaltung in Logisim.

```
module modu(
  input A, B, C,
  output R
);
wire X, Y;

assign X = ~(A & B);
assign Y = C & X;
assign R = ((X & B) ^ Y) & ~(B & ~(Y ^ X));
```